

1/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2006 Thomson Derwent. All rts. reserv.

015206640 **Image available**
WPI Acc No: 2003-267176/200326
XRPX Acc No: N03-212360

Stencil mask for fabrication of semiconductor device, has membrane supporting layer formed on peripheral portion of mask pattern region on which mask patterns are formed

Patent Assignee: SONY CORP (SONY); MORIYA S (MORI-I); OGUNI K (OGUN-I); YOSHIZAWA M (YOSH-I)

Inventor: MORIYA S; OGUNI K; YOSHIZAWA M

Number of Countries: 002 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20030010749	A1	20030116	US 2002143797	A	20020514	200326 B
JP 2003037055	A	20030207	JP 20022705	A	20020109	200326
US 6916582	B2	20050712	US 2002143797	A	20020514	200546
JP 3678199	B2	20050803	JP 20022705	A	20020109	200551

Priority Applications (No Type Date): JP 20022705 A 20020109; JP 2001146689 A 20010516

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
US 20030010749	A1	22	B31D-003/00	
JP 2003037055	A	13	H01L-021/027	
US 6916582	B2		G03F-009/00	
JP 3678199	B2	17	H01L-021/027	Previous Publ. patent JP 2003037055

Abstract (Basic): US 20030010749 A1

NOVELTY - The stencil mask (11) consists of a dual-layer membrane (12) comprising several mask patterns (13) that are formed on a mask pattern region (14). A membrane supporting layer (15) is formed on peripheral portion of the mask pattern region.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are included for the following:

- (1) mask production process; and
- (2) semiconductor device fabrication process.

USE - For exposure, impurity doping and ion implantation for fabrication of semiconductor device e.g. large scale integrated circuit.

ADVANTAGE - The membrane supporting layer protects the dual-layer membrane from stress and distortion. The semiconductor devices are fabricated easily and efficiently with high reliability.

DESCRIPTION OF DRAWING(S) - The figure shows a sectional diagram of the mask for semiconductor device fabrication.

stencil mask (11)
dual-layer membrane (12)
mask patterns (13)
mask pattern region (14)
membrane supporting layer (15)
pp; 22 DwgNo 1/12

Title Terms: STENCIL; MASK; FABRICATE; SEMICONDUCTOR; DEVICE; MEMBRANE; SUPPORT; LAYER; FORMING; PERIPHERAL; PORTION; MASK; PATTERN; REGION; MASK ; PATTERN; FORMING

Derwent Class: P72; P83; P84; U11

International Patent Class (Main): B31D-003/00; G03F-009/00; H01L-021/027

International Patent Class (Additional): G03C-005/00; G03F-001/16;

H01L-021/266

File Segment: EPI; EngPI

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2003-37055

(P2003-37055A)

(43) 公開日 平成15年2月7日(2003.2.7)

(51) Int.Cl.⁷

識別記号

F I

テーマコード*(参考)

H 0 1 L 21/027

G 0 3 F 1/16

B 2 H 0 9 5

G 0 3 F 1/16

H 0 1 L 21/30

5 4 1 S 5 F 0 5 6

H 0 1 L 21/266

21/265

M

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2002-2705(P2002-2705)

(22) 出願日 平成14年1月9日(2002.1.9)

(31) 優先権主張番号 特願2001-146689(P2001-146689)

(32) 優先日 平成13年5月16日(2001.5.16)

(33) 優先権主張国 日本(J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 吉澤 正樹

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 守屋 茂

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100080883

弁理士 松隈 秀盛

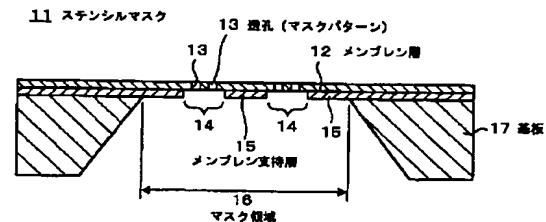
最終頁に続く

(54) 【発明の名称】 半導体装置製造用マスク及びその作製方法、並びに半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置製造用マスクにおいて、そのメンブレン層を薄くしても強度を維持し、メンブレン層のたわみ、歪みを低減を可能にする。

【解決手段】 マスクを構成するメンブレン層12のマスクパターン13又はマスクパターン領域14の周辺部に、メンブレン支持層15が形成されて成る。



【特許請求の範囲】

【請求項1】 マスクを構成するメンブレン層のマスクパターン又はマスクパターン領域の周辺部に、メンブレン支持層が形成されて成ることを特徴とする半導体装置製造用マスク。

【請求項2】 前記メンブレン支持層が、前記マスクパターン又はマスクパターン領域の端縁より外側に形成されて成ることを特徴とする請求項1記載の半導体装置製造用マスク。

【請求項3】 前記メンブレン支持層が複数層構造を有して成ることを特徴とする請求項1又は2記載の半導体装置製造用マスク。

【請求項4】 基板の一面上にメンブレン支持層及びマスクとなるメンブレン層を有するマスク素材を設ける工程と、
前記メンブレン層にマスクパターンとなる透孔を形成する工程と、
前記メンブレン層をマスクにして、前記メンブレン支持層をマスクパターン又はマスクパターン領域の周辺部を残すように選択的エッチングする工程と、
前記基板のマスク領域部に対応する部分をエッチング除去する工程とを有することを特徴とする半導体装置製造用マスクの作製方法。

【請求項5】 前記メンブレン支持層を等方性エッチングで選択除去することを特徴とする請求項4記載の半導体装置製造用マスクの作製方法。

【請求項6】 基板の一面上にエッチングストッパを兼ねる第1メンブレン支持層及びマスクとなるメンブレン層を有するマスク素材を設ける工程と、
前記基板のマスク領域部に対応する部分をエッチング除去する工程と、
前記基板が除去された領域に臨む前記第1メンブレン支持層の面に第2メンブレン支持層を被着形成する工程と、
前記メンブレン層にマスクパターンとなる透孔を形成する工程と、
前記第2メンブレン支持層及び第1メンブレン支持層を、マスクパターン又はマスクパターン領域の周辺部を残すように、前記基板側から選択的にエッチング除去する工程とを有することを特徴とする半導体装置製造用マスクの作製方法。

【請求項7】 マスクを構成するメンブレン層のマスクパターン又はマスクパターン領域の周辺部に、メンブレン支持層が形成されて成る半導体装置製造用マスクを用いて、ウェーハに対して露光処理を行うことを特徴とする半導体装置の製造方法。

【請求項8】 マスクを構成するメンブレン層のマスクパターン又はマスクパターン領域の周辺部に、メンブレン支持層が形成されて成る半導体装置製造用マスクを用いて、ウェーハに対して不純物のドーピング処理を行う

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、微細パターンの半導体装置製造用マスク及びその作製方法、並びにこのマスクを用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】LSI（大規模半導体集積回路）の素子の微細化、高集積化に伴い、PREVAIL（Projection Exposure with Variable Axis Immersion Lenses）やLEEPL（Low Energy Electron beam Proximity Projection Lithography）といった電子線転写型リソグラフィ（Electron beam Projection Lithography: EPL）の実用化が期待されている。

【0003】PREVAILは、例えば4倍のステンシルマスクを用い、高エネルギー例えば100KeV程度の電子線を照射してレンズ系により1/4に縮小したマスクパターンをレジスト層に転写する、いわゆる縮小投影電子線露光技術である。PREVAIL用マスクとしては、例えば厚さ2 μ m程度のシリコン（Si）メンブレン層に透孔を開けてマスクパターンを形成したステンシルマスクが提案されている。PREVAIL用ステンシルマスクでは、透孔の開いた部分、いわゆるマスクパターンの部分のみ電子線が無散乱で透過し、レジスト層上に結像されてマスクパターンが転写される。厚さが2 μ m程度あれば、ステンシルマスクのマスクパターン以外の部分に入射した電子線は例えばSi原子に衝突して散乱し、その散乱光がリミッタ板にて遮られる。なお、ステンシルマスクの厚さが薄ければ、電子線は散乱せずに透過してしまい、マスクとしての機能が失われる。

【0004】LEEPLは、等倍のステンシルマスクを用い、低エネルギー例えば2KeV程度の電子線を照射して等倍のパターンをレジスト層に転写する、いわゆる等倍電子線露光技術である。LEEPL用マスクとしては、厚さが例えば500nm程度のシリコン（Si）メンブレン層（薄膜層）、或いはダイヤモンドメンブレン層に透孔（アパーチャ）を開けてマスクパターンを形成してなるシリコン製或いはダイヤモンド製のステンシルマスクが提案されている。LEEPL用ステンシルマスクでは、透孔の開いた部分、いわゆるマスクパターンの部分のみ電子線が透過し、レジスト層上にマスクパターンが転写される。

【0005】図12は、従来の電子線転写型リソグラフィ、例えばLEEPLで使用されるステンシルマスクの作成方法の一例を示す。まず、図12Aに示すように、シリコン（Si）基板1の一面上に耐エッチング層2及びその上のメンブレン層3を順次積層してなるマスク素

材4を設ける。耐エッチング層2は、後のシリコン基板1を選択エッチングするときのエッチングストップとなる。メンブレン層3にダイヤモンドを用いるときは、耐エッチング層2としてシリコン窒化(SiN)膜を用いることができる。メンブレン層3にシリコン(Si)を用いるときは、耐エッチング層2としてシリコン酸化(SiO₂)膜を用いることができる。この場合、マスク素材4としては、いわゆるSOI(silicon on insulator)基板を使用できる。

【0006】次に、図12Bに示すように、メンブレン層3上にレジスト層5を塗布し、このレジスト層5をマスクのパターンに対応したパターンに露光し、現像してレジストマスク5を形成する。このレジストマスク5を介して、メンブレン層3を選択エッチングして透孔、即ちマスクパターン6を形成する。選択エッチングは、ドライエッチング法で行う。

【0007】次に、図12Cに示すように、シリコン基板1を裏面から選択エッチングし、シリコン基板1の周囲部分を残して、他のマスク領域に対応する部分を除去する。このとき、耐エッチング層2が存在していることにより、メンブレン層3を損なうことがない。

【0008】次に、図12Dに示すように、残ったシリコン基板1をマスクに耐エッチング層2を選択的にエッチング除去する。これにより、目的のステンシルマスク7が作成される。

【0009】一方、電子線ステッパ型マスクとして、メンブレン層を梁で補強することによって、メンブレン層を分割するようにしたマスクが提案されている(特開平11-54409号公報参照)。

【0010】

【発明が解決しようとする課題】ところで、上述のステンシルマスク7のマスクパターンの更なる微細化、或いはマスクパターンの加工精度を向上するには、メンブレン層3の膜厚をより薄くする必要がある。しかし、メンブレン層3の膜厚を薄くしていくと、マスク強度の低下により、マスク洗浄時や露光機へのステンシルマスク装着時等において、マスクパターン6が破壊されるという問題が発生した。また、メンブレン層3が大きい場合、マスクパターン6の位置精度に影響を及ぼすメンブレン層3のたわみや歪みが問題となる。

【0011】ステンシルマスクでは、微細なマスクパターンを透孔として開けるため、出来るだけ薄く且つ剛性の高いメンブレン層(いわゆる薄膜)が望ましい。マスク面上を電子線(荷電粒子ビーム)で走査するタイプの等倍転写マスクを用いてLSIチップパターンを投影する場合、例えば数mmから数十mm角の広さのメンブレン層が要求される。マスクパターンの孔開けは、通常ドライエッチングで行うが、マスクパターンの開口サイズと開口深さの比は、1対10程度が限度とされている。例えば、50nmのマスクパターンを開くには、メ

ンブレン層の膜厚は500nm以下にする必要がある。このため、例えばダイヤモンドのようなヤング率の高い材料を用い、且つ強い引っ張り応力が発生する条件でメンブレン層を形成している。このようなメンブレン層にマスクパターンを開いた場合、引っ張り応力によってマスクパターン形状が歪む。また、LSIの配線パターンのような配線間のスペースに相当する部分では、長細い梁状の残しパターンが必要になるが、応力により長さ制限が加わる。

【0012】メンブレン層を梁で補強して分割する構成の電子線ステッパ型マスクでは、パターンにショットつなぎが発生しており、また等間隔に並べた細い梁でメンブレン層を支えるのは難しく、面内に応力集中が起こり易く、マスクが歪むだけでなく、極めて壊れやすい構造になっている。

【0013】本発明は、上述の点に鑑み、メンブレン層を薄くしてもマスク強度を維持でき、信頼性の高い、超微細パターンのマスクを構成できる、半導体装置製造用マスク及びその作製方法、並びにこのマスクを使用した半導体装置の製造方法を提供するものである。

【0014】

【課題を解決するための手段】本発明に係る半導体装置製造用マスクは、マスクを構成するメンブレン層のマスクパターン又はマスクパターン領域の周辺部に、メンブレン支持層を形成した構成とする。本発明に係る半導体装置製造用マスクの作成方法は、基板の一面上にメンブレン支持層及びメンブレン層を有するマスク素材を設け、このマスク素材のメンブレン層にマスクパターンとなる透孔を形成した後、メンブレン層をマスクにしてメンブレン支持層を、マスクパターン又はマスクパターン領域の周辺部を残すように選択エッチングし、次いで、基板のマスク領域に対応する部分をエッチング除去する。本発明に係る半導体装置製造用マスクの作製方法は、基板の一面上に第1メンブレン支持層及びメンブレン層を有するマスク素材を設け、基板のマスク領域部に対応する部分をエッチング除去し、この除去された領域に臨む第1メンブレン支持層の面に第2メンブレン支持層を被着形成した後、メンブレン層にマスクパターンとなる透孔を形成し、次いで第2メンブレン支持層及び第1メンブレン支持層を、マスクパターン又はマスクパターン領域の周辺部を残すように基板側から選択的にエッチング除去する。本発明に係る半導体装置の製造方法は、マスクを構成するメンブレン層のマスクパターン又はマスクパターン領域の周辺部にメンブレン支持層を形成して成る半導体装置製造用マスクを用いて、ウェーハに対して露光処理、或いは不純物のドーピング処理を行うようにする。

【0015】本発明の半導体装置製造用マスクにおいては、メンブレン層のマスクパターン又はマスクパターン領域の周辺部にメンブレン支持層が形成されているの

で、メンブレン層を薄くしてもマスク領域の強度が向上し、メンブレン層のたわみ、歪みを生じ難くする。本発明の半導体装置製造用マスクの作製方法においては、基板上にメンブレン層及びメンブレン支持層を有するマスク素材を用意し、メンブレン層をマスクパターンに合わせてパターンニングした後、メンブレン層をマスクにして下地のメンブレン支持層を選択エッチングするので、メンブレン支持層のマスクパターン部分又は複数のマスクパターンが集まったマスクパターン領域の部分はエッチング除去され、それ以外の部分、即ちメンブレン支持層のマスクパターン又はマスクパターン領域の周辺部分はエッチングされずに残る。次いで、基板のマスク領域に対応する部分をエッチングすることにより、メンブレン層を薄くしてもたわみの生じない上述の半導体装置製造用マスクを作製できる。本発明の他の半導体装置製造用マスクの作製方法においては、基板の一面上に第1メンブレン支持層及びメンブレン層を有するマスク素材を設け、基板のマスク領域に対応する部分をエッチング除去した後、その除去領域に臨む第1メンブレン支持層の面に第2メンブレン支持層を被着形成し、メンブレン支持層を第1及び第2メンブレン支持層の2層膜で形成するので、より強固なメンブレン支持層になり、より薄いメンブレン層の形成が可能になり、より微細なマスクパターンが形成される。第1及び第2メンブレン支持層のパターンニングを基板側からの選択的なエッチングで行うので、エッチング制御がしやすく、精度良く且つ容易に半導体装置製造用マスクを作製できる。本発明の半導体装置の製造方法においては、たわみの生じない上述したマスクを用いてウェーハに対する露光処理、或いは不純物のドーピング処理を行うので、パターン位置精度が高い微細パターンの露光、或いは微細パターンの不純物ドーピング領域の形成が可能になる。

【0016】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

【0017】図1は、本発明に係る半導体装置製造用マスクの一実施の形態を示す。図2は、そのマスクパターンが形成されたマスク領域の要部（拡大平面）を示す。本例は、電子線転写型リソグラフィ用のステンスルマスクに適用した場合を示す。本実施の形態に係る半導体装置製造用マスク、即ちステンスルマスク11は、所要の材料からなるメンブレン層12に所定パターンの透孔、即ちマスクパターン13を形成し、そのメンブレン層12の下面のマスクパターン13、又は互いに近接する複数のマスクパターン13が集まったマスクパターン領域14の周辺部、本例ではマスクパターン領域14の周辺部に所要の材料からなるメンブレン支持層15を形成し、さらにメンブレン支持層15の下面のマスク領域16を除く周囲部に所要の材料からなる基板17を形成して構成される。

【0018】基板17としては、シリコン(Si)、その他の材料を使用することができる。基板17は、メンブレン支持層15よりも十分に厚い基板で形成される。メンブレン層12としては、例えばシリコン窒化物(SiN)、シリコン酸化物(SiO₂)、シリコン炭化物(SiC)、多結晶ダイヤモンド、ダイヤモンドライクカーボン(DLC)、金属(例えばAu、Ag、Cr、W、Pt、Pd、Ti等)、TiN、TiON、シリコン(Si)等を使用することができる。メンブレン層12は、帯電防止できることが好ましいので、例えばSiN層、SiO₂層、Si層の場合にはSiN層、SiO₂層、Si層上に金属膜、例えばAu、Pt膜等を被着するのが良い。また多結晶ダイヤモンド、ダイヤモンドライクカーボンの層の場合には、この層に導電性を付与するための不純物ドーピングするのが良い。SiC層は導電性を有する。メンブレン支持層15としては、例えばシリコン酸化物(SiO₂)、シリコン窒化物(SiN)、シリコン(Si)、多結晶シリコン、金属(例えばAu、Ag、Pt、Ti、W、Cr、Pd等)、SiC、その他のメンブレン支持層に適する材料等を使用することができる。

【0019】基板17、メンブレン層12及びメンブレン支持層15の材料の組み合わせは、後述の作製法で明らかになるが、メンブレン支持層15は基板17のエッチング時にエッチングされない材料が用いられ、メンブレン層12はメンブレン支持層15及び基板17のエッチング時にエッチングされない材料が用いられる。

【0020】メンブレン層12の厚さは、100nm～3000nm程度とすることができる。例えばLEEP用ステンスルマスクでは、メンブレン層12の厚さを100nm～1000nm程度とし、PREVAIL用ステンスルマスクでは、メンブレン層12の厚さを1000nm～3000nmとすることができる。同様にメンブレン支持層17の厚さは、100nm～3000nm程度とすることができる。メンブレン部12とメンブレン支持層17との合計の厚さは、メンブレン層12、引いてはマスク領域16の強度を考慮すると厚くする程良く、500nmを越えた厚さにすることが好ましい。

【0021】本実施の形態に係るステンスルマスク1によれば、マスク領域16において、マスクパターン領域14のみが実質的にメンブレン化し、それ以外の非マスクパターン領域22の下地にメンブレン支持層15を有することにより、メンブレン層12の膜厚を薄くしてもマスク領域16の強度を向上することができ、メンブレン部分、引いてはマスク領域16のたわみ、歪みを抑制することができる。メンブレン支持層15を有することにより、メンブレン部の膜厚をより薄くできるので、マスクパターンとなる透孔13をより微細化することが可能になる。従って、素子のより微細化、高集積度化したLSI（大規模集積回路）の製造に適した信頼性の高い

ステンシルマスクを提供できる。

【0022】次に、図3A～Dは、上述した本発明の半導体装置製造用マスクの作製方法の一実施の形態を示す。本例は電子線転写型リソグラフィのLEEPL用のステンシルマスクの作製に適用した場合である。

【0023】まず、図3Aに示すように、所要の材料からなる基板17の一面上に所定の膜厚のメンブレン支持層15を積層し、その上に所定の膜厚のメンブレン層12を積層したマスク素材18を用意する。基板17は、例えばシリコン(Si)、その他の材料を使用できる。メンブレン支持層15は、基板17のエッチング液に対して耐性を有する、いわゆるエッチングされ難い材料であれば何でも構わない。例えば、 SiO_2 、 SiN 、 Si 、多結晶 Si 、 Au 、 Ag 、 Pt 、 Ti 、 W 、 Cr 、 Pd 、 SiC 等の材料をメンブレン支持層15に用いることができる。メンブレン層12は、メンブレン層15及び基板17のエッチング液に対して耐性を有する、いわゆるエッチングされ難い材料であれば何でも構わない。例えば、 SiN 、 SiO_2 、ダイヤモンド(特に、多結晶ダイヤモンド)、ダイヤモンドライクカーボン(DLC)、 SiC 、 Si 、 Au 、 Ag 、 Cr 、 W 、 Pt 、 Pd 、 Ti 等の材料をメンブレン層12に用いることができる。本例では、基板17として所要の厚さのシリコン(Si)ウェーハを用い、このシリコンウェーハ17上にメンブレン支持層15としての膜厚500nm程度のシリコン酸化層(SiO_2 層)を、メンブレン層12としての膜厚500nm程度のシリコン窒化層(Si_3N_4 層)を、夫々積層したマスク素材18を使用した場合である。

【0024】次に、図3Bに示すように、メンブレン層であるシリコン窒化層12上に感光性のレジスト層を塗布し、このレジスト層を例えば可変成型電子ビーム直接描画機等を用いて、露光し、現像して所望のマスクパターンに対応した開口パターン21を有するレジストマスク20を形成する。このレジストマスク20を介して、例えば CF_4 等を用いたドライエッチングでシリコン窒化層12を選択エッチングし、レジスト層20の開口パターン21をシリコン窒化層12に転写する。即ち、シリコン窒化層12にマスクパターンとなる透孔13を形成する。

【0025】次に、図3Cに示すように、マスク素材18をメンブレン支持層であるシリコン酸化層15のエッチング液、例えばバッファドフッ酸(BHF)溶液に浸

漬し、メンブレン層のシリコン窒化層12をマスクに、下層のシリコン酸化層15を選択的に除去する。このBHF溶液では、 Si_3N_4 のエッチングレートが0.5～1nm/minであるのに対して、 SiO_2 のエッチングレートが100～250nm/minであるため、メンブレン支持層であるシリコン酸化層15の選択エッチングが可能になる。この選択エッチング工程では、シリコン窒化層12に形成された透孔21のみからBHF溶液が供給され、且つ等方性エッチングであるので、マスクパターンとなる透孔13及び之より少し内方に対応する部分のシリコン酸化層15が選択除去され、それ以外の部分のシリコン酸化層15が残される。本例では互いに近接する複数のマスクパターン13が集まった各マスクパターン領域14下のシリコン酸化層15がオーバーエッチングされた状態で除去され、各マスクパターン領域14の周辺部、いわゆる非マスクパターン領域22のシリコン酸化層15が残る。この残ったシリコン酸化層15がメンブレン支持層として機能する。

【0026】次に、図3Dに示すように、シリコンウェーハ17の裏面側から最終的に得られるステンシルマスクの周囲領域23を残してマスクパターン13の群が形成されている、いわゆるマスク領域16に対応するシリコンウェーハ17の部分を選択的に除去する。例えば、図示せざるもシリコンウェーハ17の裏面にシリコン酸化膜(SiO_2 膜)を積層し、レジストを塗布し、露光、現像してマスク領域16に対応する部分に開口が形成されたレジストマスクを形成する。このレジストマスク形成の際のシリコン酸化膜の選択除去工程は、上述の図3Cのメンブレン支持層となるシリコン酸化層15の選択除去工程と同時にすることもできる。その後、シリコン酸化膜をマスクに例えば SF_6 や NF_3 等のフッ素系ガスによるドライエッチング、若しくは KOH 等によるウェットエッチングにより、シリコンウェーハ17を周囲領域23を残して選択除去することができる。このようにして、図1及び図2に示す目的のLEEPL用のステンシルマスク11を作製する。なお、ステンシルマスクは、1枚のシリコンウェーハから1枚、あるいは複数枚作製することができる。

【0027】なお、マスク素材18の基板17、メンブレン支持層15、メンブレン層12の材料の組み合わせの例を表1に示す。

【0028】

【表1】

基板	Si	Si	Si	Si
メンブレン支持層	SiO_2	SiN	SiN , 多結晶 Si	SiO_2 , SiN , Si , Au , Pt , Ti , W , Cr , Pd
メンブレン層	SiN	Au , Ag , Cr , W , Pt , Pd , SiO_2 , Si , Ti , TiN , TiON	SiN , SiO_2	ダイヤモンド, DLC

【0029】図2では、作製されたステンシルマスク1

1の要部を上から見た状態を示す。互いに近接する複数

のマスクパターン（透孔）13の集合部分であるマスクパターン領域14のみが実質的にメンブレン化し、それ以外の非マスクパターン領域22は全て下地のシリコン酸化層によるメンブレン支持層15が形成される。

【0030】本実施の形態に係わるステンシルマスク11の作製方法によれば、シリコンウェーハ17上にメンブレン支持層となるシリコン酸化層15及びメンブレン層となるシリコン窒化層12を積層したマスク素材18を用意し、このシリコン窒化層12をドライエッチングでパターニングしてマスクパターン（即ち、透孔）13を形成するので、メンブレン層12をより薄くして超微細なマスクパターン13を形成することが可能になる。そして、シリコン酸化層15の選択エッチングで残った部分がメンブレン支持層として機能するので、メンブレン層12を薄くしてもマスクパターン領域14、さらにマスク領域16の強度が向上し、信頼性の高いステンシルマスクを作製することができる。また、メンブレン層であるシリコン窒化層12にマスクパターン13を形成した後、シリコン窒化層12をマスクに下地のシリコン酸化層15を選択エッチングして、シリコン酸化層15の非マスクパターン領域22に対応する部分を残すので、自己整合的にメンブレン支持層15を形成することができる。即ち、メンブレン支持層15を形成するためのリソグラフィ工程が不要になる。シリコン窒化層12をマスクに下地のシリコン酸化層15を等方エッチングで、且つオーバーエッチング気味に選択除去するので、マスクパターン13の精度は、メンブレン層12で実質的なマスクパターン幅が規制され、高精度のマスクパターン13が得られる。そして、シリコン酸化層15の選択エッチングで残った部分がメンブレン支持層として機能するので、メンブレン層12を薄くしてもマスクパターン領域14、さらにマスク領域16の強度が向上し、信頼性の高いステンシルマスクを作製することができる。

【0031】図3Cの工程で、メンブレン支持層15に対する等方性エッチングとしては、ウェットエッチング、ガスエッチング（ドライエッチング）が可能である。ウェットエッチングは、安価に行える利点がある。なお、ウェットエッチングは、エッチング液が透孔内に溜まり易い。この残留エッチング液を乾かす際に、表面張力でマスクパターンが壊される虞れが生じるときは、ガスエッチングを用いることができる。

【0032】本発明のマスク作製におけるマスク素材18の基板17として、シリコンウェーハを用いるときは、半導体装置の製造と、マスク作製を、同じ製造ラインで行うことが可能になり、製造設備を共用できるという実用上の利点が大である。

【0033】電子線転写型リソグラフィのうちLEEPLでは、低加速電圧で電子線を照射するので、ステンシルマスク11のメンブレン層12に帯電防止を施すこと

が好ましい。マスク作製に際してメンブレン層12に例えばシリコン窒化層を用いた場合は、この上に蒸着等でAu、Pt等の帯電防止膜を形成することができる。メンブレン層12に多結晶ダイヤモンド、或いはダイヤモンドライクカーボン（DLC）等を用いた場合は、不純物をドーピングして導電性を付与することができる。PREVAİLのような高加速電圧で電子線を照射する場合、電子線はステンシルマスク内で散乱して通過するので、帯電しない。

【0034】電子線転写型リソグラフィにおける露光処理では、ステンシルマスクに電子線が照射されることによりステンシルマスクの温度が上昇し、熱膨張でマスクパターンの位置ズレが生じる可能性がある。このため、メンブレン層12としては、熱伝導性のよいものが好ましい。金属膜を施した場合は、帯電防止と共に熱伝導率を高めることができる。ダイヤモンドは、熱伝導率が良い。

【0035】上例では、メンブレン層12の互いに近接した複数のマスクパターン13を有するマスクパターン領域14の周辺部、いわゆる非マスクパターン領域22にメンブレン支持層15を形成した構成としたが、メンブレン層12の各マスクパターン13の周辺部、いわゆる非マスクパターン部にメンブレン支持層15を形成した構成とすることも可能である。

【0036】上述では、メンブレン支持層15を等方性エッチング（いわゆるオーバーエッチング気味）によりメンブレン層12のマスクパターン領域14又はマスクパターン13の縁部より外側に形成するようにしたが、その他、例えば異方性エッチングにより、マスクパターン13に対応した部分のみの下地層を除去し、他部の残った下地層をメンブレン支持層として機能するように構成することも可能である。

【0037】図4は、本発明に係る半導体装置製造用マスクの他の実施の形態を示す。図5は、そのマスクパターンが形成されたマスク領域の要部（拡大平面）を示す。本例は、前述の実施の形態と同様に電子線転写型リソグラフィ用のステンシルマスクに適用した場合を示す。本実施の形態に係る半導体装置製造用マスク、即ちステンシルマスク41は、所要の材料からなるメンブレン層42に所定パターンの孔、即ちマスクパターン43を形成し、そのメンブレン層42の下面のマスクパターン43、又は互いに近接する複数のマスクパターン領域44の周辺部に複数層構造のメンブレン支持層45を形成し、さらにメンブレン支持層45の下面のマスク領域46を除く外周部部に所要の材料からなる基板47を形成して構成される。

【0038】メンブレン支持層45は、本例ではそれぞれ材料の異なる第1メンブレン支持層48及び第2メンブレン支持層49からなる2層構造で形成される。本実施の形態のステンシルマスク41は、基板47と第1メ

ンブレン支持層48とマスクとなるメンブレン層42が積層されたマスク素材から成り、第2メンブレン支持層49がマスク領域46に対応する第1メンブレン支持層48の下面に選択的に被着形成して構成される。

【0039】基板47、第1メンブレン層支持層48及びメンブレン層42の材料の組み合わせは、後述の作製法を採るとき、第1メンブレン支持層48が基板47とメンブレン層42のそれぞれのエッチング時にエッチングされない材料、即ちエッチングストップとなる材料で形成されるように、選択される。このステンシルマスク41は、例えば、基板47と第1メンブレン支持層48とメンブレン層42が積層されたマスク素材として、半導体基板上に絶縁層を介して半導体層が形成されて成る所謂SOI (semiconductor on insulator) 基板を用いて作製することが可能である。例えば、シリコン (Si) 基板上にシリコン酸化 (SiO_2) 層を介してシリコン (Si) 層が形成されてなるSOI基板を用いたときには、基板47がシリコン基板、メンブレン層42がシリコン層、第1メンブレン支持層48がシリコン酸化層で夫々形成され、第2メンブレン支持層49がシリコン窒化 (SiN) 層で形成される。その他、例えば、シリコン (Si) 基板上にシリコン窒化 (SiN) 層による第1メンブレン支持層48及びシリコン (Si) 層によるメンブレン層42を積層したマスク素材を用いるときは、第2メンブレン支持層49としてシリコン酸化 (SiO_2) 層を用いることができる。

【0040】基板47、メンブレン層42、第1メンブレン支持層48、第2メンブレン支持層49の材料の、その他の組み合わせは、前述のステンシルマスク11で説明した材料を適宜組み合わせ使用することも可能である。

【0041】メンブレン層42の厚さは、100nm～3000nm程度とすることができる。第2メンブレン支持層49の厚さ t_1 は、アスペクト比に制限されるが、最大でマスクパターン領域44の幅 W_2 の約4倍程度である。第2メンブレン支持層48の膜厚をマスクパターン領域44の幅 W_2 の約4倍程度を超えると、開口を挟んで対向する第2メンブレン支持層が表面張力などで貼りつき易くなり、マスクパターン領域44にたわみ、歪みが発生する。ステンシルマスクのチップ領域は、最大で50mm×50mm程度とすることができる。

【0042】本実施の形態に係るステンシルマスク41によれば、前述と同様に、マスク領域46において、マスクパターン領域44のみが実質的にメンブレン化し、それ以外の非マスクパターン領域52 (図5参照) の下地に第1及び第2メンブレン支持層49及び49を有することにより、メンブレン層42の膜厚を薄くしてもマスク領域46の補強を向上することができ、メンブレン

層42を均一に支えることができ、応力集中を緩和することができる。よって、メンブレン部分、引いてはマスク領域46のたわみ、歪みを抑制することができる。第1、第2メンブレン支持層48、49を有するので、補強を確実にし、例えばSOI基板からのステンシルマスクの作製を可能にする。ステンシルマスクの作製において、SOI基板を利用できるので、ステンシルマスク作製を容易にする。メンブレン支持層48、49を有することにより、太い梁構造が形成され、より薄いメンブレン層42を形成でき、より微細な転写パターンを形成することが可能なステンシルマスクを構成できる。

【0043】メンブレン支持層45〔48、49〕によりマスクパターン領域44毎に補強されるので、例えばリソグラフ工程でのレジストパターンのショットつなぎをなくすことが可能になる。

【0044】従って、素子のより微細化、高集積度化したLSIの製造に適した信頼性の高いステンシルマスクを提供できる。

【0045】次に、図6～図7は、上述した半導体装置製造用マスク41の作製方法の実施の形態を示す。本例は電子線転写型リソグラフィのLEEP L用のステンシルマスクの作製に適用した場合である。

【0046】先ず、図6Aに示すように、基板47上に第1メンブレン支持層48を介してメンブレン層42を積層してなるマスク素材54を用意する。本例では厚さ725 μm 程度のシリコン基板47上に膜厚100nm程度のシリコン酸化層48を介して膜厚100nm程度のシリコン層42が形成されて成る、8インチのSOI基板によるマスク素材54を用意する。

【0047】次に、図6Bに示すように、マスク素材54のシリコン基板57の裏面にフォトレジスト層を塗布し、所要パターンに露光し、エッチング処理、例えばKOH (水酸化カリウム) 水溶液、TMAH (テトラメチルアンモニウムハイドロオキシド) 水溶液などでウェットエッチングして、シリコン基板57のマスク領域46に対応する部分を選択的にエッチング除去する。即ち、マスク領域46の外周囲部を残すようにマスク領域46部に対応するシリコン基板部分を全て除去する。これにより、マスク領域46のシリコン酸化層48の裏面が露出する。

【0048】次に、図6Cに示すように、シリコン基板47が選択除去された部分、即ち露出したシリコン酸化層48の裏面に、第2メンブレン支持層となる例えば膜厚10 μm 程度のシリコン窒化層49をCVD (化学気相成長) 法、スパッタリング法、その他の方法により選択的に形成する。シリコン窒化層49の膜厚は、前述したようにチップ領域が25mm平方のとき、10 μm ～20 μm 程度とすることができる。この膜厚はアスペクト比に制限されるが、最大でマスクパターン領域46の幅 W_2 の約4倍程度とすることができる。

【0049】次に、図7Dに示すように、メンブレン層であるシリコン層42の表面上に感光性のレジスト層を塗布し、このレジスト層を例えば可変成型型電子ビーム直接描画機等を用いて、露光し、現像して所望のマスクパターンに対応した開口パターンを有するレジストマスク（図示せず）を形成する。このレジストマスクを介して、例えば SF_6 、 HBr 、あるいは Cl_2 等を用いたドライエッチングでメンブレン層となるシリコン層42を選択エッチングし、レジストマスクの開口パターンをシリコン層42に転写する。即ち、シリコン層42にマスクパターンとなる微細線幅 W_1 の透孔43を形成する。

【0050】次に、図7Eに示すように、第2メンブレン支持層となるシリコン窒化層49の裏面に、フォトレジスト層（図示せず）を塗布し、露光し、現像処理してマスクパターン領域に対応する部分に開口を有するレジストマスクを形成し、このレジストマスクを介してシリコン窒化層49をエッチング、即ち例えば CF_4 等を用いたドライエッチングで選択除去して、第2メンブレン支持層49を形成する。

【0051】続いて、図7Fに示すように、第2メンブレン支持層49をマスクにして裏面からシリコン酸化層42を、エッチング、例えば CF_4 、 CHF_3 あるいは C_4F_8 を用いたドライエッチングで選択除去し、第1メンブレン支持層48を形成する。この第1、第2メンブレン支持層48、49でメンブレン支持層54を形成する。このようにして、目的のLEEP L用のステンシルマスク41を作製する。

【0052】図5は、作製されたステンシルマスク41の要部を上から見た状態を示す。互いに近接する複数のマスクパターン（透孔）43の集合部分であるマスクパターン領域44のみが実質的にメンブレン化し、それ以外の非マスクパターン領域52は全て下地のシリコン酸化層48とシリコン窒化層49からなるメンブレン支持層45が形成される。

【0053】次に、図7Eの工程における感光性レジスト層に対する露光パターンを得るときの、可変成型型電子ビーム直接描画機での図形処理を説明する。まず、図8Aのステップ S_1 でマスクパターンデータ61を得る。図8Bのステップ S_2 でマスクパターンデータ61に対して、ある一定量Aだけ太らせ、図8Cのステップ S_3 で図形間の加算処理（OR処理）を行う。次に、微細パターン62を無くすために、図9Dのステップ S_4 で再び一定量Bだけ太らせ、図9Eのステップ S_5 で再び図形間の加算処理（OR）処理をする。その後、図9Fのステップ S_6 で同量Bだけ図形を細らせる。このようにして出来上がった一つながりの図形領域63をマスクパターン領域とする。

【0054】本実施の形態に係わるステンシルマスク41の作製方法によれば、SOI基板によるマスク素材5

4を用意し、そのシリコン層42を表面からドライエッチングでパターンニングしてマスクパターン（即ち透孔）を形成し、その後にSOI基板のシリコン酸化層48及び付加したシリコン窒化層49による第1、第2メンブレン支持層を形成するので、メンブレン層42をより薄くして超微細なマスクパターン43を形成することが可能になる。シリコン基板47を裏面からマスク領域46の外周部となる部分を残して広くエッチング除去した後、そのエッチングにより露出したシリコン酸化層48の裏面に所要膜厚のシリコン窒化層49を形成し、裏面からシリコン窒化49及びシリコン酸化48を選択エッチングし、残ったシリコン窒化層49及びシリコン酸化48をメンブレン支持層45として機能させるので、メンブレン層42を薄くしても各マスクパターン領域44の強度が向上し、メンブレン層42を均一に支えることができ、応力集中が緩和し、たわみ、歪みのない信頼性の高いステンシルマスクを作製することができる。

【0055】シリコン窒化層49及びシリコン酸化層48を裏面から選択的にエッチングして第1メンブレン支持層48及び第2メンブレン支持層49を形成するので、選択エッチングの制御が容易になり、精度良くメンブレン支持層を形成することができる。しかも、SOI基板を利用することができるので、エッチング制御が容易になることと相俟って、ステンシルマスクの作製を精度良く、且つ容易に作製することができる。

【0056】上例では、本発明の半導体装置製造用マスクおよびその作製方法を、電子線転写型リソグラフィのLEEP L用ステンシルマスク及びその作製に適用したが、その他、電子線転写型リソグラフィのPREVA I L用、可変成型電子ビーム直接描画機用、イオンビームリソグラフィ用等の所謂電荷粒子転写型リソグラフィ用のステンシルマスクにも適用できる。さらに、本発明の半導体装置製造用マスクは、半導体装置の製造における、露光処理用、不純物のドーピング（例えばイオン注入）処理用のマスクにも適用できる。

【0057】図10は、半導体装置の製造方法の一実施の形態を示す。本例は、上述した図1の本発明の半導体装置製造用マスクを用いて半導体ウェーハ上にレジストマスクを形成するための、露光処理に適用した場合である。本実施の形態においては、まず、図10Aに示すように、半導体ウェーハ、例えばシリコンウェーハ31上に、直接或いは図示するように例えば SiO_2 膜等の絶縁膜32を介して感光性を有しないレジスト層33、及び例えば膜厚が100nm以下の電子線用の感光性レジスト層34を順次に塗布形成する。このシリコンウェーハ31を、電子線露光装置内にステンシルマスク、例えば上述の図1に示す本発明のステンシルマスク11に対向するように配置する。ステンシルマスク11は、そのメンブレン部12がシリコンウェーハ31のレジスト層34に対して所定の間隔、例えば40 μm 離れた位置に

配置される。この状態で、電子線を照射して感光性レジスト層34を所望のパターンに電子線露光し、現像処理を行って、図4Bに示すように、レジストマスク34Aを形成する。

【0058】次に、図10Cに示すように、このレジストマスク34Aを介して下地の非感光性レジスト層33をドライエッチングで選択除去し、2層レジスト33、34からなるレジストマスク35を形成する。本実施の形態によれば、メンブレン層12が裏面のメンブレン支持層15で補強され、微細マスクパターン13を有するステンシルマスク11を用いて露光処理するので、半導体ウェーハ31上に絶縁膜32を介して微細パターンで且つパターンズレのないレジストマスク35を形成することができる。以後、このレジストマスク35を用いて選択エッチング、不純物導入等の処理を行うことができ、より微細な半導体素子を形成することができる。従って、より微細な半導体素子を有し、且つ高集積度のLSIを製造することができる。

【0059】PREVAIL方式の露光装置を用いて同様の露光処理を行うときは、メンブレン部の厚みを1000nm以上にし、その他の構成を図1と同様にしたステンシルマスクを用いる。シリコンウェーハ31上には直接、又はSiO₂膜等の絶縁膜を介して1層の感光性レジスト層を塗布形成し、PREVAIL方式の電子線露光装置にこのウェーハを配置する。そして、電子線露光し、現像して、ステンシルマスクのマスクパターンを転写したレジストマスクを形成する。以後の工程は上例と同様である。

【0060】図11は、半導体装置の製造方法の他の実施の形態を示す。本例は、上述した半導体装置製造用マスクを用いて半導体ウェーハに対する不純物ドーピング処理に適用した場合である。本実施の形態においては、不純物イオン注入装置内に半導体基板、例えばシリコンウェーハ31と、このウェーハ31の一面に近接対向するイオン注入用マスク、例えば上述の図1に示すと同様の構成を採るマスク39を配置し、このマスク39を介してシリコンウェーハ31内に不純物イオン37を注入する。このイオン注入により、シリコンウェーハ31に不純物ドーピング領域38を形成する。本実施の形態に係る半導体装置の製造方法によれば、不純物ドーピング工程において、メンブレン部12が裏面のメンブレン支持層15で補強され、微細マスクパターン13を有するマスク39を用いて、直接シリコンウェーハ31へ不純物イオン37を注入するので、微細パターン領域に目的の不純物を精度良くドーピングすることができ、微細な不純物ドーピング領域38を形成することができる。従って、より微細な半導体素子を有し、且つ高集積度のLSIを製造することができる。

【0061】上述の図4で説明した半導体装置製造用マスク41を用いて、図10、図11で説明したと同様の

露光処理、或いは不純物ドーピングを行い、半導体装置を製造することができる。この場合も、図1の半導体装置製造用マスク11を用いたと同様の効果が得られ、より微細な半導体素子を有し、且つ高集積度のLSIを製造することができる。

【0062】

【発明の効果】本発明に係る半導体装置製造用マスクによれば、マスクを構成するメンブレン層のマスクパターン又はマスクパターン領域の周辺部に、メンブレン支持層が形成されているので、メンブレン層のたわみ、歪みを低減することができる。メンブレン支持層により強度の向上が図れるので、メンブレン層の膜厚をより薄く形成でき、マスクパターンとなる透孔をより微細化することが可能になる。従って、より素子が微細化され、高集積度化されたLSI（大規模集積回路）の製造に適するマスクを提供できる。メンブレン支持層を、マスクパターン又はマスクパターン領域の縁部より外側に形成するときは、メンブレン層で実質的なマスクパターン幅が規制されるので、微細且つ高精度のマスクパターンを有する半導体装置製造用マスクを提供できる。メンブレン支持層を複数層構造にするときは、よりマスク補強を確実にし、メンブレン層のたわみ、歪みを低減し、従ってメンブレン層をより薄くしてマスクパターンをより微細化することが可能になる。

【0063】本発明に係る半導体装置製造用マスクの作製方法によれば、基板の一面上にメンブレン支持層及びメンブレン層を有するマスク素材18を用意し、このメンブレン層にマスクパターンとなる透孔を形成するので、メンブレン層をより薄くして超微細なマスクパターンを形成することができる。メンブレン層にマスクパターンを形成した後、メンブレン層をマスクにメンブレン支持層をマスターパターン又はマスクパターン領域の周辺部を残すように選択エッチングするので、メンブレン層のたわみ、歪みを低減したマスクを作製することができる。同時に、自己整合的にメンブレン支持層を形成することができる。即ち、メンブレン支持層を形成するためのリソグラフィ工程が不要になる。メンブレン層をマスクに下地のメンブレン支持層を等方エッチングで選択除去するときは、マスクパターンの精度がメンブレン層で実質的なマスクパターン幅が規制され、高精度のマスクパターンを形成することができる。

【0064】本発明に係る他の半導体装置製造用マスクの作製方法によれば、基板の一面上にエッチングストッパを兼ねる第1メンブレン支持層及びマスクとなるメンブレン層を有するマスク素材を用意し、基板のマスク領域に対応する部分をエッチング除去した後、その除去された領域に臨む第1メンブレン支持層の面に第2メンブレン支持層を被着形成して、最終的に第1及び第2メンブレン支持層によりメンブレン支持層を形成するので、マスク補強がより向上し、メンブレン層42をより薄く

して超微細なマスクパターンを形成することができる。2層構造のメンブレン支持層により、メンブレン層42を均一に支えることができ、応力集中が緩和し、たわみ、歪みのない信頼性の高いステンシルマスクを作製することができる。第1及び第2メンブレン支持層のパターニングを裏面からのエッチングで行うので、選択エッチングの制御が容易になり、精度良くメンブレン支持層を形成することができる。また、SOI基板を利用することができるので、エッチング制御が容易になることと相俟って、この種の半導体装置製造用マスクの作製を精度良く、且つ容易に作製することができる。

【0065】本発明に係る半導体装置の製造方法によれば、上述の半導体装置製造用マスクを用いて露光処理するので、微細マスクパターンを有し且つパターンズレのないレジストマスクを形成することができる。以後は、このレジストマスクを用いて選択エッチング、不純物導入等の処理を行うことができる。従って、より素子が微細化され、高集積度化されたLSI（大規模集積回路）を製造することができる。

【0066】本発明に係る半導体装置の製造方法によれば、上述の半導体装置製造用マスクを用いてウェーハに対して不純物のドーピング処理を行うので、微細パターン領域に目的の不純物を精度良くドーピングすることができる。従って、より素子が微細化され、高集積度化されたLSI（大規模集積回路）を製造することができる。

【0067】本発明では、マスクパターン領域ごとにメンブレン支持層を形成させることによって、レジストパターンのショットつなぎをなくすことができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置製造用マスクの一実施の形態を示す構成図である。

【図2】図1の半導体装置製造用マスクの要部の拡大平面図である。

【図3】A～D 本発明に係る半導体装置製造用マスクの作製方法の一実施の形態を示す工程図である。

【図4】本発明に係る半導体装置製造用マスクの他の実

施の形態を示す構成図である。

【図5】図4の半導体装置製造用マスクの要部の拡大平面図である。

【図6】A～C 本発明に係る半導体装置製造用マスクの作製方法の他の実施の形態を示す工程図（その1）である。

【図7】D～F 本発明に係る半導体装置製造用マスクの作製方法の他の実施の形態を示す工程図（その2）である。

【図8】A～C 露光パターンを得るときの図形処理の説明に供する工程図（その1）である。

【図9】D～F 露光パターンを得るときの図形処理の説明に供する工程図（その2）である。

【図10】A～C 本発明に係る半導体装置の製造方法の一実施の形態（露光処理工程に適用）を示す工程図である。

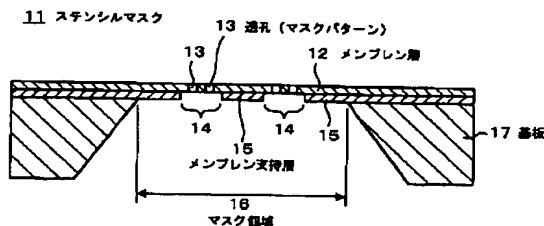
【図11】本発明に係る半導体装置の製造方法の他の実施の形態（不純物ドーピング処理に適用）を示す工程図である。

【図12】A～D 従来の電子線転写型リソグラフィのLEELP用ステンシルマスクの作製方法を示す工程図である。

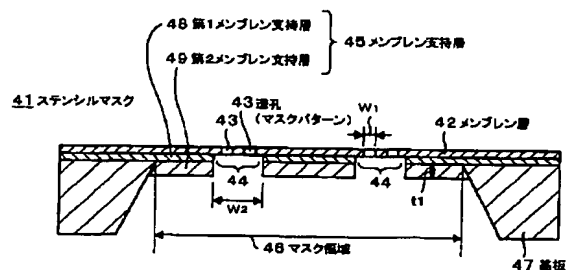
【符号の説明】

11、41・・・ステンシルマスク、12、42・・・メンブレン層、13、43・・・マスクパターン（透孔）、14、44・・・マスクパターン領域、15、45・・・メンブレン支持層、16・・・マスク領域、17、47・・・基板、18、54・・・マスク素材、20・・・レジスト層、21・・・開口パターン、22・・・非マスクパターン領域、31・・・半導体ウェーハ、32・・・絶縁膜、33・・・感光性のないレジスト層、34・・・感光性レジスト層、35・・・レジストマスク、36・・・電子線、37・・・不純物イオン、38・・・不純物ドーピングマスク、39・・・マスク、48・・・第1メンブレン支持層、49・・・第2メンブレン支持層

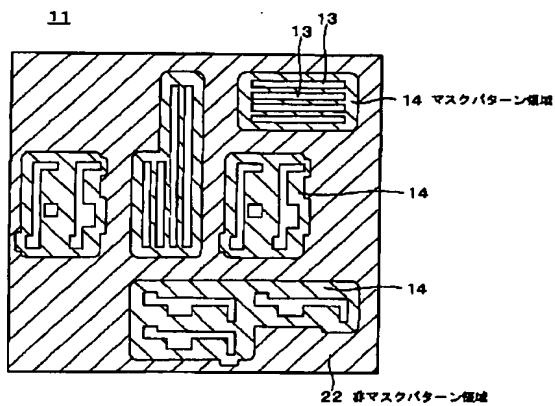
【図1】



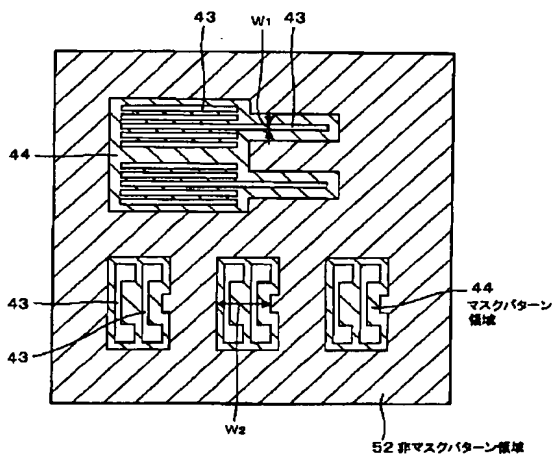
【図4】



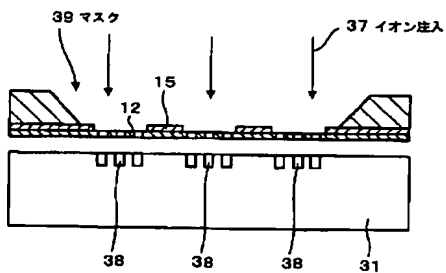
【図2】



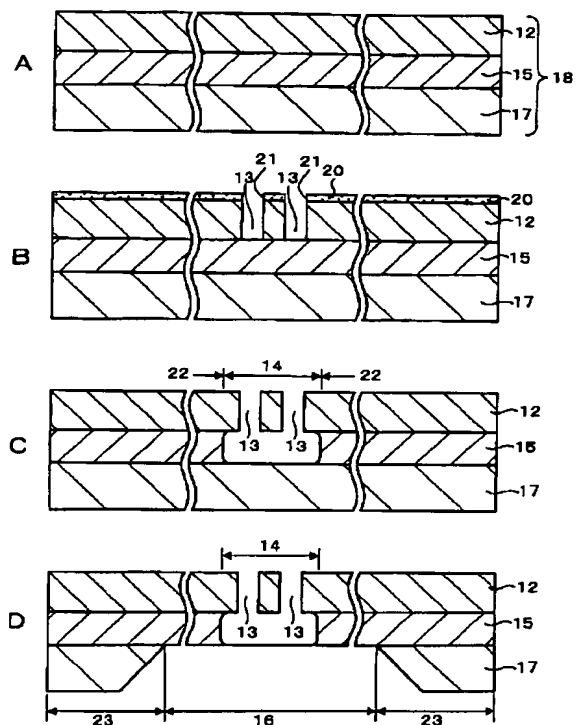
【図5】



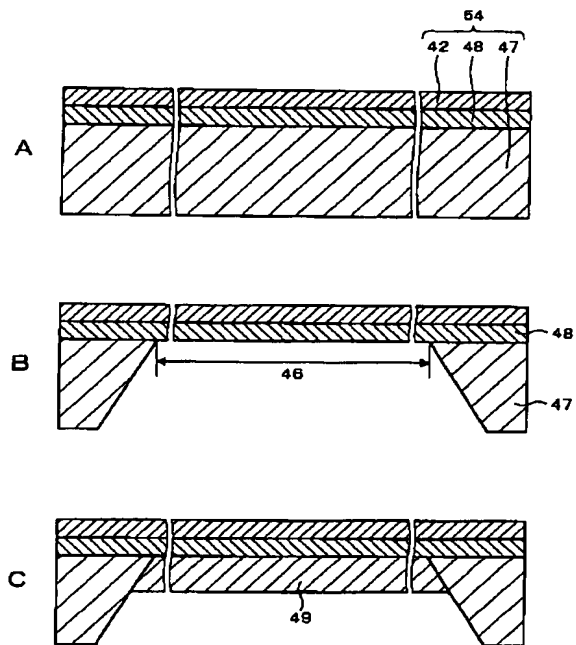
【図11】



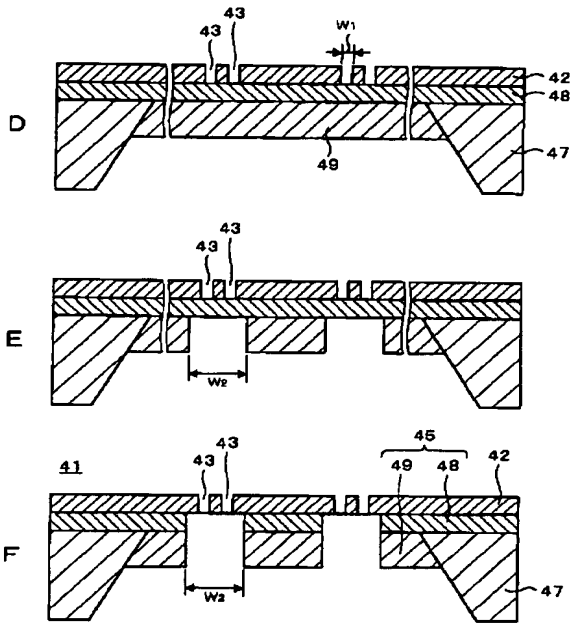
【図3】



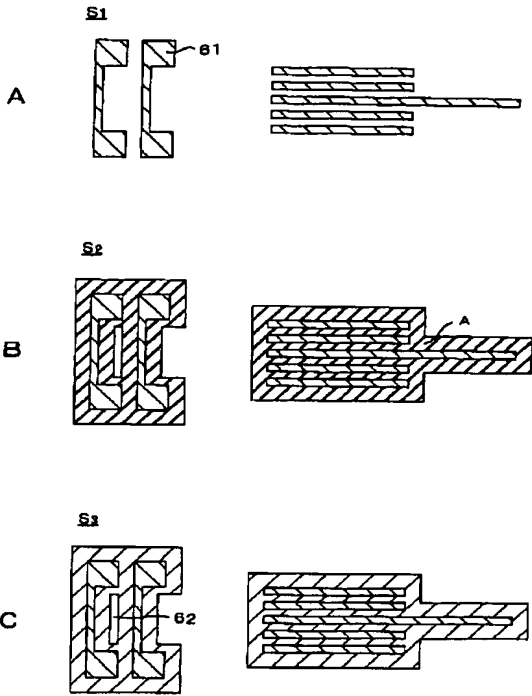
【図6】



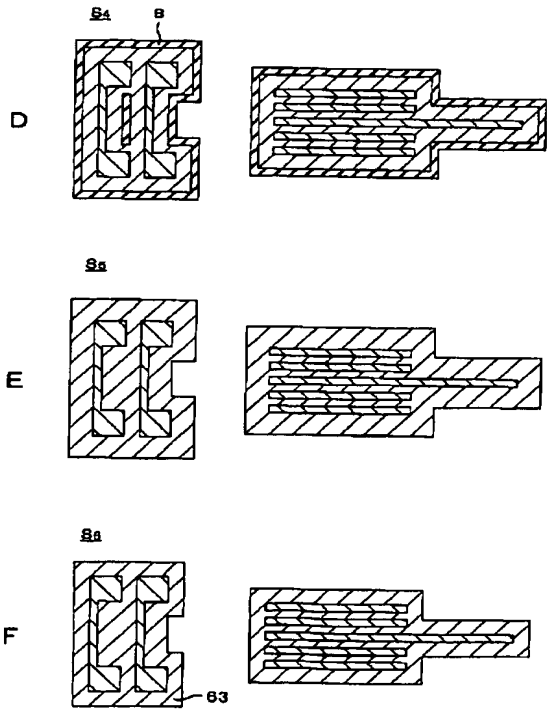
【図7】



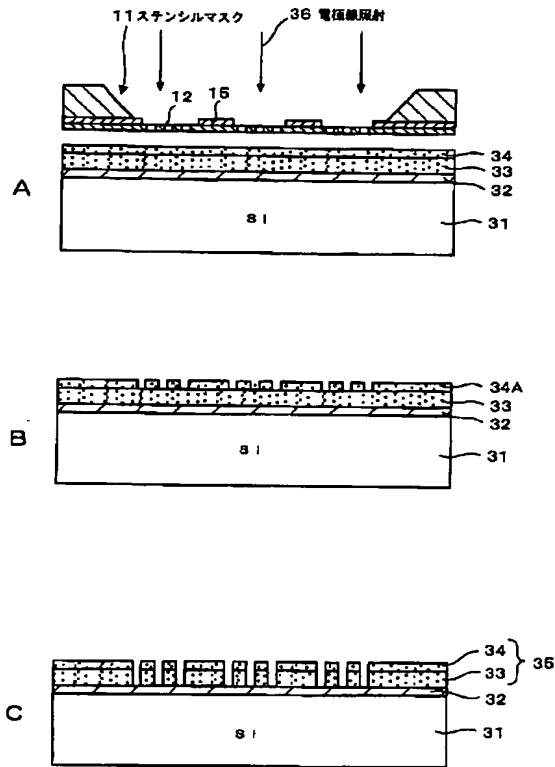
【図8】



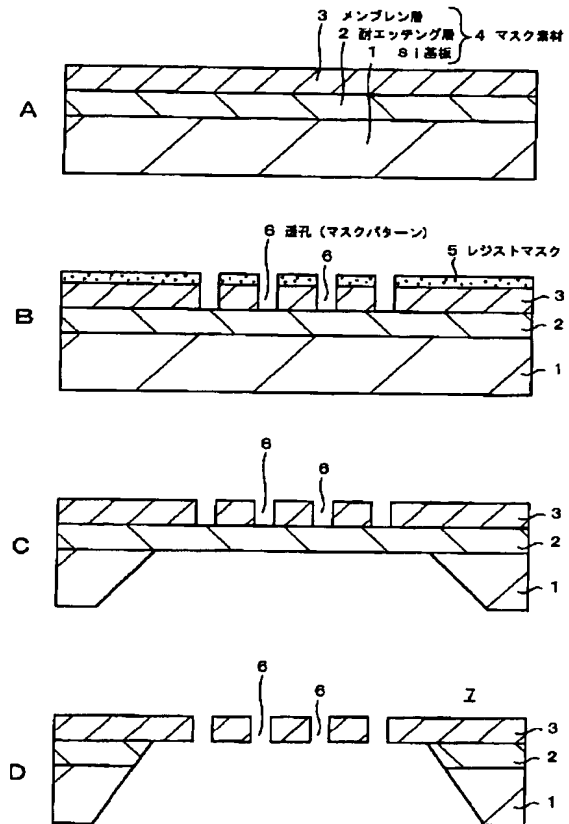
【図9】



【図10】



【図12】



フロントページの続き

(72)発明者 小國 久美子
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

Fターム(参考) 2H095 BA08 BB14
5F056 AA22 FA05